

© EPODOC / EPO

N - JP56125856 A 19811002  
D - 1981-10-02  
R - JP19800028763 19800307  
OPD - 1980-03-07  
I - MANUFACTURE OF SEMICONDUCTOR DEVICE  
N - SUGISHIMA KENJI  
A - FUJITSU LTD  
C - H01L21/768  
C - H01L21/302 ; H01L21/31

© WPI / DERWENT

I - Semiconductor device prodn. - of finely patterned multilayer type  
using organo-siloxane] interlayer resin.  
PR - JP19800028763 19800307  
PN - JP56125856 A 19811002 DW198146 003pp  
PA - (FUIT ) FUJITSU LTD  
C - H01L21/90  
AB - J56125856 Prodn. of semiconductor device comprises selectively  
forming at least one layer of circuit body on a semiconductor  
substrate, forming an insulating film of an organosiloxane resin over  
the entire surface of the substrate including that of the circuit body,  
making a selective formation of a photoresist film of a thickness  
almost equal to that of the section of the insulating film to be  
removed on the insulating film, and then selectively removing  
insulating film by an ion beam etching using an inert gas with  
photoresist film as a mask to form openings and remove said  
photoresist film.  
- This process enables an easy formation of a flat inter-layer  
insulating film using an organosiloxane resin without cracks.  
Accordingly, finely patterned multilayer circuits can easily be  
formed, improving reliability of the device.  
- The application of the organosiloxane resin is carried out in a  
rolling manner. The solvent in the resin is removed by heating in N<sub>2</sub>  
atmos. at 100 deg.C or above. The ion beam used Ar. Since the  
resin film and the photoresist film are the same in etchability speed  
and the section to form thru-holes and the photoresist film are  
almost the same in thickness, the photoresist film is removed at the  
same time of completion of the thru-holes.

OPD - 1980-03-07  
AN - 1981-84455D [25]

© PAJ / JPO

PN - JP56125856 A 19811002  
PD - 1981-10-02  
AP - JP19800028763 19800307  
IN - SUGISHIMA KENJI  
PA - FUJITSU LTD  
TI - MANUFACTURE OF SEMICONDUCTOR DEVICE  
AB - PURPOSE:To obtain an inter-layer insulating film flat on the surface and not cracked by a method wherein a connection window is formed on the inter-layer insulating film layer made of organosiloxane resin on a semiconductor substrate by an ion-beam etching of an inactive element with a photoresist film as a mask.  
- CONSTITUTION:A silicon dioxide film<sup>2</sup> and an aluminum wiring body 3 are formed on a silicon substrate 1, coated with the organosiloxane resin and heat- treated to form the inter-layer insulating film 4. Then, a photoresist film 6 in which a part to be formed with a through hole is allowed to be an opening is formed on the insulating film 4. Subsequently, the through hole 7 is formed by applying the ion etching using argon, and also the photoresist film 6 is removed. Then, a wiring layer 8 of Al or the like is selectively formed. Accordingly, since the O<sub>2</sub>-plasma is not used for forming the inter-layer insulating film, the inter-layer insulating film is not cracked and the insulating film flat on the surface can be obtained.  
I - H01L21/90 ;H01L21/302 ;H01L21/31

⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑫ 公開特許公報 (A)

昭56-125856

⑤ Int. Cl.<sup>3</sup>

H 01 L 21/90

21/302

21/31

識別記号

庁内整理番号

6741-5F

6741-5F

7739-5F

⑬ 公開 昭和56年(1981)10月2日

発明の数 1

審査請求 未請求

(全 3 頁)

⑭ 半導体装置の製造方法

川崎市中原区上小田中1015番地

富士通株式会社内

⑮ 特 願 昭55-28763

⑮ 出 願 人 富士通株式会社

⑯ 出 願 昭55(1980)3月7日

川崎市中原区上小田中1015番地

⑰ 発 明 者 杉島賢次

⑰ 代 理 人 弁理士 松岡宏四郎

明 細 書

1. 発明の名称 半導体装置の製造方法

2. 特許請求の範囲

多層配線構造を有する半導体装置の製造方法において、半導体基板上に少なくとも一層の配線体を選択的に形成した後、該配線体表面を含む前記半導体基板表面全面にオルガノシロキサン樹脂からなる絶縁膜を形成し、該絶縁膜の除去すべき部分の厚さと略等厚のホトレジスト膜を前記絶縁膜上に選択的に形成し、該ホトレジスト膜をマスクとして不活性元素を用いたエッチングにより前記絶縁膜を選択的に除去して開口を形成すると共に前記ホトレジスト膜を除去する工程を含むことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

本発明は半導体装置の製造方法に関し、特に多層配線構造における絶縁性有機材料よりなる層間絶縁膜の形成方法に関する。

半導体装置の多層配線を形成するに当たり、下層の配線体表面を含む半導体基板表面全面に液状の

絶縁性有機材料を塗布して、平坦な表面を有する層間絶縁膜を形成し、その上に上層の配線体を形成する方法が開発されている。

この方法は下層表面の凹凸がいかに激しくても層間絶縁膜表面は平坦化され、しかも層間絶縁膜を厚く形成することができるので下層凹凸の肩部において層間絶縁膜の膜切れを生じることもない。従って上層の配線体の断線や上層及び下層の配線体間の短絡を生じることがないという利点を有する。

近年開発されたオルガノシロキサン樹脂は、上層配線絶縁膜の形成に用いた場合、表面の平坦性は非常に良好な特性を有する反面、膜系(O<sub>2</sub>)プラズマにさらされると亀裂を生じる。そのためパターンニングのマスクとして用いたホトレジスト膜を除去する際にプラズマアッシング法を用いることができず、従来の剝離液を用いる湿式処理法によらざるを得なかった。

本発明の目的は、上記問題を解消して乾式処理法(ドライエッチング法)を用いてオルガノシ

ロキサン樹脂よりなる層間絶縁膜を形成し得る半導体装置の製造方法を提供することにある。

本発明の半導体装置の製造方法の特徴は、下層の配線体表面を含む半導体基板上にオルガノシロキサン樹脂からなる絶縁膜を形成し、該絶縁膜の除去すべき部分の厚さと略等厚のホトレジスト膜を前記絶縁膜上に選択的に形成し、該ホトレジスト膜をマスクとして不活性元素を用いたエッチングにより前記絶縁膜を選択的に除去して開口を形成すると共に前記ホトレジスト膜を除去する工程を含むことにある。

以下本発明の一実施例を図面により説明する。

第1図は本発明の一実施例を工程順に示す要部断面図であって、1はシリコン基板、2は二酸化シリコン( $\text{SiO}_2$ )膜、3はアルミニウム(Al)等よりなる第1の配線体である。

本発明によれば、まず同図(a)に示すように先ず上記第1の配線体3表面を含むシリコン基板1表面全面に液状オルガノシロキサン樹脂を回転塗布法を用いて塗布し、真空中( $\text{N}_2$ 雰囲気中)で100(°C)

以上の温度で加熱処理を施して樹脂中の溶剤を除去して層間絶縁膜4を形成する。ここで得られた層間絶縁膜4の表面は図示のごとく略平坦な面となる。このあと更に $\text{N}_2$ 雰囲気中において450(°C)程度の温度で加熱処理を施すことが望ましい。

次いで同図(b)に示すごとく前記層間絶縁膜4上にスルーホール(開口)を形成すべき部分を開口部6とするホトレジスト膜5を形成する。

次いで該ホトレジスト膜5をマスクとしてアルゴン(Ar)を用いたイオンビームエッチングを行うことにより、同図(c)に示すように前記層間絶縁膜4の表面が露出せる部分6が選択的に除去されてスルーホール7が形成される。この時、オルガノシロキサン樹脂膜とホトレジスト膜とは被エッチング速度がほぼ同一でしかも前記スルーホール7を開口すべき部分の膜厚とホトレジスト膜の厚さはほぼ同じにしてあるので、スルーホール7の開口が完了するのとほぼ同時にホトレジスト膜5も除去される。従って膜厚の誤差等を考慮して

エッチングを若干過剰気味にすることによりホトレジスト膜5を完全に除去すると共に、第1の配線体3表面の酸化層等も同時に除去できる。

このようにしてオルガノシロキサン樹脂よりなる層間絶縁膜4を所定のパターンに従って形成することができる。

以後の工程は通常の方法に従って進めてよく、同図(d)に示すように前記層間絶縁膜4表面にAl等よりなる第2の配線体8を選択的に形成する。

かくすることによりオルガノシロキサン樹脂膜を層間絶縁膜とする多層配線が得られる。

上記一実施例によれば、層間絶縁膜を形成するに際して $\text{O}_2$ プラズマを用いていないので、層間絶縁膜に亀裂を生じることはない。

また上記層間絶縁膜表面は平坦でしかも膜厚は十分に厚くしてあるので第2の配線体の断線や、第1及び第2の配線体間の短絡を生じることがない。

更に第1の配線体表面は酸化層等が除去されて所望な表面が露出されているので、第1及び第2

の配線体間には良好な接触が得られる。

なお上記一実施例においてスルーホール7を開く際のイオンビームの入射角を調整することにより、スルーホール7の側壁をテーパー状とすることも可能である。

また本発明は上記一実施例に示した二層配線のみにらず、三層以上の多層配線を形成するのに用いることも勿論可能である。

以上説明したごとく本発明によればオルガノシロキサン樹脂を用いて表面が平坦な層間絶縁膜に亀裂を生じることなく、且つ容易に形成することができる。従って微細パターンの多層配線を容易に形成することが可能となり、しかもその信頼度が向上する。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例を工程の順に示す要部断面図である。

- |           |            |
|-----------|------------|
| 1…半導体基板、  | 3…第1の配線体、  |
| 4…層間絶縁膜、  | 6…ホトレジスト膜、 |
| 7…スルーホール、 | 8…第2の配線体。  |

第 1 図

